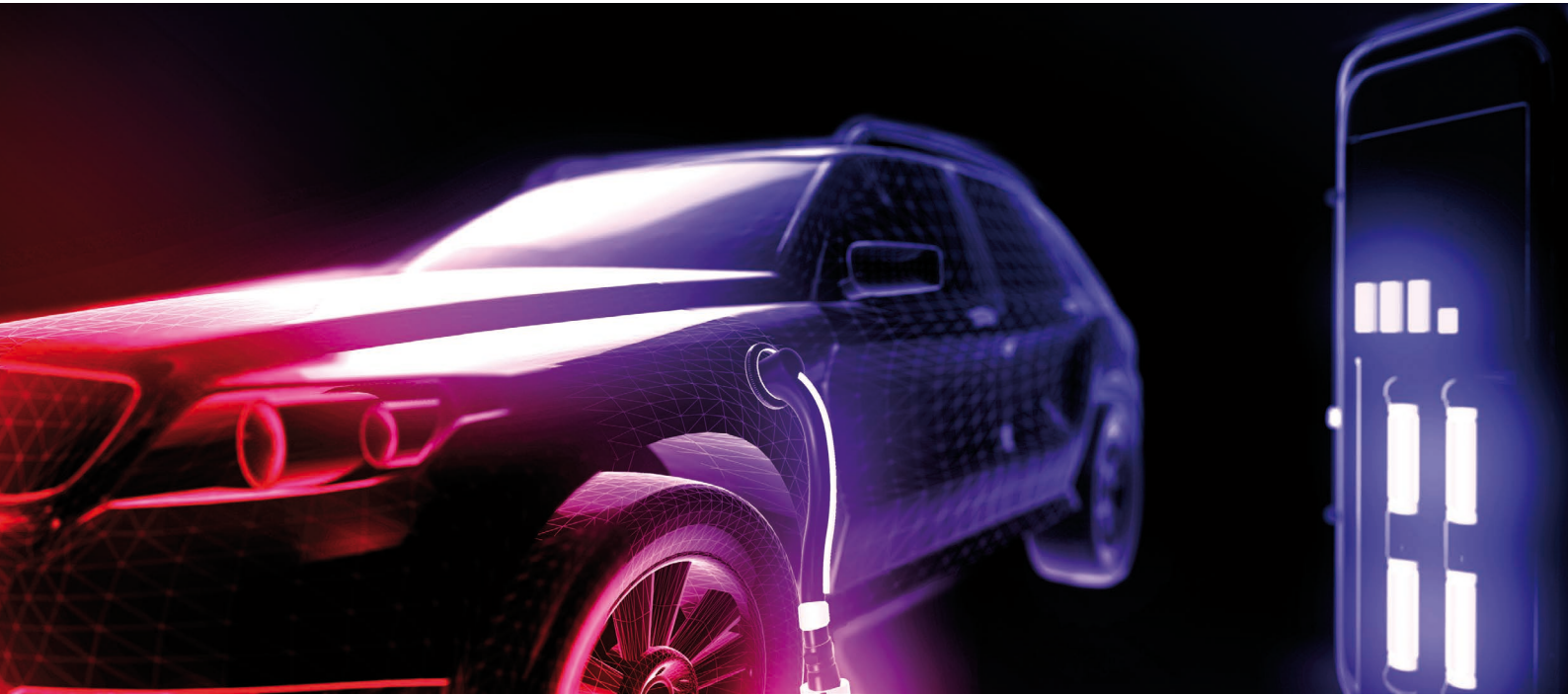


Mit Leistungsbauerelementen der nächsten Generation in die Zukunft

Leistungsbauerelemente mit großer Bandlücke stellen neue Herausforderungen an den parametrischen Test in der Halbleiterfertigung. Der gleichzeitige Test von hohen Spannungen und niedrigen Strömen stellt konventionelle Testsysteme vor Probleme. Welche sind das und wie können sie bewältigt werden?



Die Entwicklung hin zu Klimaneutralität und Null-Emissionen ist eine globale industrielle Herausforderung. Infolgedessen sehen wir eine neue Welle von Initiativen, Anwendungen und Technologien auf den Markt kommen, die einen nachhaltigeren Ansatz bieten, wobei der Schwerpunkt auf grüner und erneuerbarer Energie, Energieeinsparungen und Energieeffizienz liegt.

Vor allem die Automobilindustrie hat mit der Umstellung auf Elektrofahrzeuge und Hybridelektrofahrzeuge große Fortschritte gemacht. Wir müssen jedoch auch über die Fahrzeuge selbst hinausschauen und überlegen, wie nachhaltig und effizient die gesamte Infrastruktur und Industrie ist. Das bedeutet, dass wir nach neuen Energietechnologien suchen müssen, wenn es um die breitere Infrastruktur wie Ladestationen und verwandte Anwendungen geht.

Halbleiter im Mittelpunkt

Obwohl in der Industrie hauptsächlich Leistungsbauerelemente auf Siliziumbasis (Si) verwendet werden, besteht ein wachsender Bedarf an innovativeren Technologien, die eine höhere Energieeffizienz und gleichzeitig eine bessere Leistung der Bauelemente ermöglichen. Aus diesem Grund wurde intensiv an Wide-Band-Gap-Bauelementen wie Siliziumkarbid (SiC)

und Galliumnitrid (GaN) geforscht, da diese überlegene Eigenschaften wie höhere Durchbruchspannung, Leistungsdichte und Effizienz bieten.

Im Bereich der Elektrofahrzeuge werden bereits Batteriesysteme mit höheren Spannungen (800 V) eingesetzt, um die Reichweite, die Ladezeit, das Gewicht und den Platzbedarf zu verbessern. Das erfordert höhere Leistungsfähigkeiten, die über das hinausgehen, was herkömmliche Bauelemente bieten können, und erfordert eine höhere Spannungstoleranz von mehr als 1 kV. Leistungsbauerelemente der nächsten Generation wie SiC/GaN können diese Anforderungen im Vergleich zu herkömmlichen Silizium-Bauelementen auf kleinerer Fläche erfüllen.

Diese Herausforderungen gehen auch über den Automobilbereich hinaus, denn auch in anderen Branchen besteht ein Bedarf an Innovationen bei Leistungsbauerelementen. All dies führt zu einer

starken Nachfrage für die Produktion von Leistungsbauerelementen der nächsten Generation. Führende Hersteller von Leistungsbauerelementen bereiten sich darauf vor, verstärkt SiC/GaN-Bauelemente zu produzieren. Die Yole Group, ein französisches Marktforschungsunternehmen, sagte voraus, dass SiC/GaN-Bauelemente in den nächsten fünf Jahren einen Anteil von 30% am gesamten Markt für Leistungshalbleiter erreichen werden [1].

Steigender Bedarf an parametrischen Tests für Leistungsbauerelemente

Da die Herstellung von Leistungsbauerelementen immer schneller wird, sind parametrische Tests entscheidend für die Zuverlässigkeit der Bauelemente. Neue Prozess- und Bauelementtechnologien wie GaN on Si ermöglichen die Integration von Niederspannungs-Bauelementen (LV) und Hochspannungs-

Autor:
Kazuhiro Ueda
Keysight Technologies
www.keysight.de

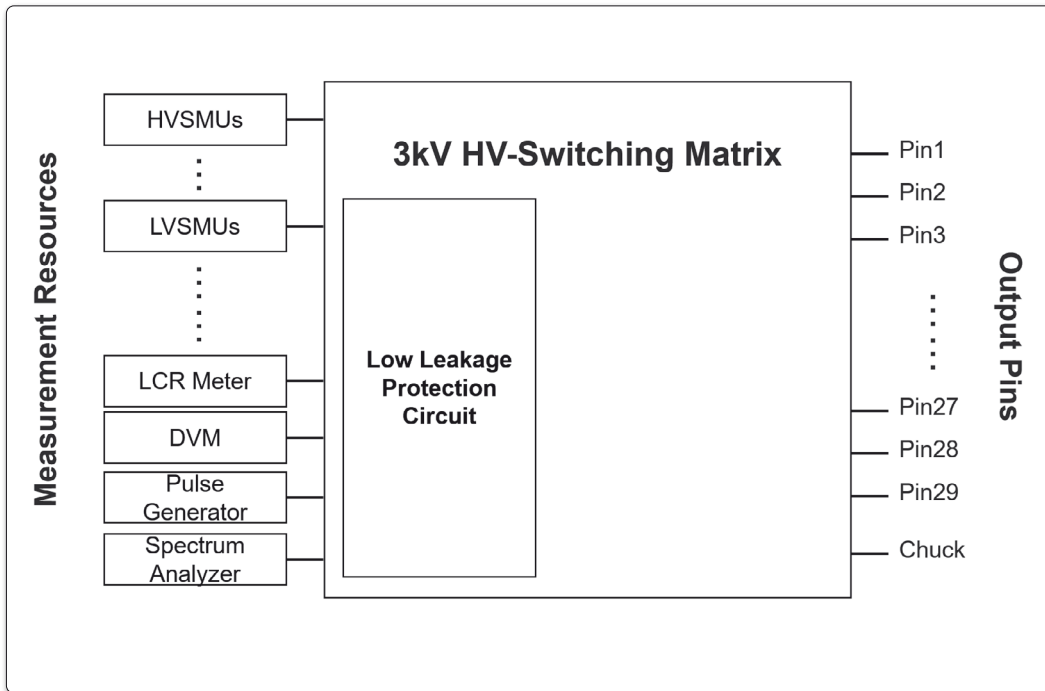


Bild 1: 3-kV-HV-Schaltmatrix (HV-SWM)

der Test-/Messeinheit und nahtloser Konnektivität mit einem Wafer Prober und einer Tastkopfkarte zur Durchführung von Messungen. Zu diesem Zweck verlässt sich die Industrie weitgehend auf spezielle parametrische Tester. Diese sind so konstruiert, dass sie automatisierte Messungen mit hoher Genauigkeit, Geschwindigkeit und Effizienz ermöglichen, während die Messressourcen über eine Schaltmatrix (SWM) umgeschaltet werden. Typischerweise ist ein parametrischer Tester mit einer Source Measure Unit (SMU) für Strom-Spannungs-Charakteristiken (IV) ausgestattet, die Präzision bei Niederstrommessungen im Sub-pA-Bereich gewährleistet. Darüber hinaus verfügt er in der Regel über ein LCR-Meter für die Kapazitäts-Spannungs-Messung (CV), einen Impulsgenerator, ein Digitalvoltmeter (DVM) und vieles mehr.

Bauelementen (HV) auf demselben Chip. Das führt zu einer kleineren Grundfläche und verbessert gleichzeitig die Funktionsintegration und Spannungen jenseits von 1 kV, um Automobilanwendungen zu unterstützen. Die wachsende Nachfrage nach Elektrofahrzeugen und der Elektrifizierung des Automobils erfordert die Herstellung dieser fortschrittlichen Leistungsbaulemente in großen Stückzahlen. Infolgedessen wird auch der Durchmesser der Wafer immer größer, von 6 auf 8 Zoll und sogar bis zu 12 Zoll, um der Nachfrage gerecht zu werden. Dieser Wandel beschränkt sich nicht nur auf die traditionellen Hersteller integrierter Bauelemente (Integrated Device Manufacturers, IDM), sondern erstreckt sich auch auf Foundries, die in den Markt der Waferherstellung einsteigen, um den vielfältigen Marktanforderungen gerecht zu werden.

Auf dem Weg zur Waferfertigung von integrierten Leistungsbaulementen mit hoher Leistung und hoher Spannung müssen die Hersteller die Zuverlässigkeit der Bauelemente, die Ausbeute, die Gesamtkosten der Endprodukte sowie die potenziellen Risiken, die ein Marktversagen mit sich bringt, im Griff haben. Zu diesem Zweck ist es von entscheidender Bedeutung, in der Prozessphase der Waferherstellung proaktiv zu testen, und

zwar viel früher als die Tests am Endprodukt.

Um diese Fertigungsziele zu kontrollieren und zu verbessern, ist die Messung der elektrischen Eigenschaften in der Produktionslinie für Leistungshalbleiterwafer von entscheidender Bedeutung. Dieser Vorgang wird gemeinhin als „parametrischer Test“ bezeichnet und ist ein etablierter Wafer-Testprozess in der Front-End-Produktionslinie, der insbesondere für Niederspannungs-Bauelemente, wie moderne Halbleiterbauelemente, eingesetzt wird. Der Zweck ist die Kontrolle und Verbesserung der Produktqualität.

Der parametrische Test beinhaltet die Durchführung elektrischer Messungen für die TEG (Test Element Group), die aus einer Gruppe von Bauelementen wie Widerständen, Kapazitäten und Transistoren besteht. Diese werden eigens für parametrische Tests und nicht für Endproduktchips entworfen. Bei einem parametrischen Test werden verschiedene Messungen durchgeführt, z. B. Sub-pA-Leckstrom, Schwellenspannung, Durchbruchspannung, Kapazität, Widerstand und vieles mehr als Teil der Prozesskontrolle (PCM). Diese elektrischen Messungen helfen bei der Erkennung von Fehlern und Abweichungen auf einem Wafer und verbessern den Waferherstellungsprozess in Bezug auf Qualität, Zuver-

lässigkeit und Ertrag. Die parametrischen Testdaten werden von Wafer-Foundries auch häufig als Wafer-Akzeptanztest (WAT) für Anwender verwendet.

Wie bereits erläutert, müssen auf einem Wafer verschiedene Bauelemente und Merkmale geprüft werden. Daher muss das Testsystem über ein breites Spektrum an genauen und präzisen Messmöglichkeiten verfügen, gepaart mit flexiblen Schaltmöglichkeiten

Herausforderungen beim parametrischen Test von Leistungsbaulementen im Hochspannungsbereich

Parametrische Tests sind unerlässlich, um die Zuverlässigkeit und Ausbeute von Bauelementen zu verbessern. Bei der Durchführung parametrischer Tests mit Hochspannungs-Bauelementen gibt es jedoch einige Herausforderungen, die bei Tests mit niedriger Spannung nicht auftreten.

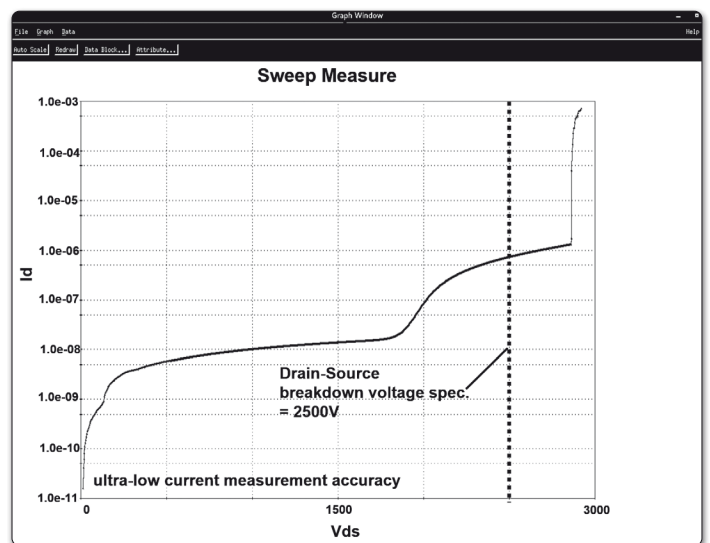


Bild 2: Beispiel einer Messung an einem Hochspannungs-MOSFET ($V_{dss\ spec} = 2500\ V$) mit dem neuen parametrischen Hochspannungstester von Keysight

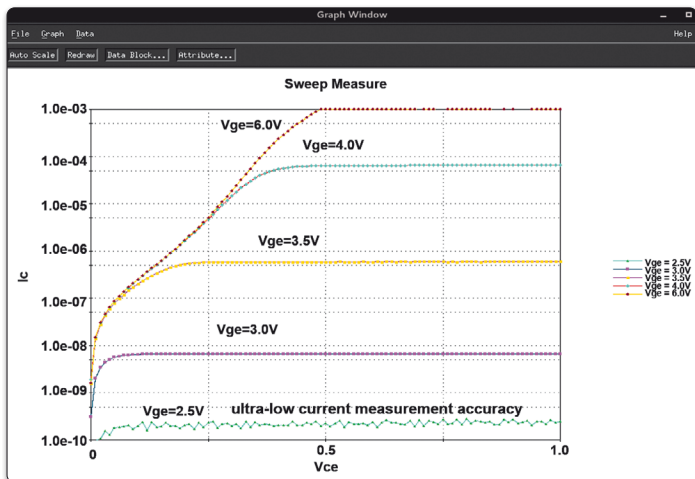


Bild 3: Das Messergebnis der Ausgangscharakteristik (V_{ce} - I) eines Transistors (IGBT)

Die erste Herausforderung besteht darin, dass die meisten parametrischen Tester eigentlich für den Test von Bauelementen mit niedriger Spannung konzipiert sind. Daher ist der Spannungsbereich auf einige hundert Volt begrenzt und kann die Anforderungen an den Test von Bauelementen mit hohen Spannungen nicht abdecken.

Eine mögliche Lösung besteht darin, ein vorhandenes Hochspannungs-Testsystem wie einen Chip-Tester in Kombination mit dem parametrischen Niederspannungstester zu verwenden, um die fehlende Hochspannungsabdeckung zu ergänzen. Solche Hochspannungs-Testsysteme sind jedoch nicht für parametrische Tests ausgelegt, sodass die Niederstrom-Messleistung, die Messgenauigkeit, die Messflexibilität und die Anschlussmöglichkeiten nicht für parametrische Tests für TEG optimiert sind. Außerdem wäre die Kombination eines Niederspannungs- und eines Hochspannungs-Testers sowohl in Bezug auf die Testeffizienz als auch auf den Platzbedarf kostspielig.

Eine zweite erwogene Idee ist die Verwendung eines speziellen parametrischen Testers, der sowohl für Hochspannungs- als auch für Niederspannungsmessungen ausgelegt ist. Normalerweise haben parametrische Hochspannungstester jedoch aufgrund der technischen Schwierigkeiten von Hochspannungsrelais und -schaltern einige Einschränkungen, wenn es um die Anzahl der anwendbaren Hoch-

spannungsstufe und die Flexibilität der Anschlüsse geht. Darüber hinaus haben typische parametrische Hochspannungs-Tester keine ausreichende Spannungsabdeckung für Leistungsbaulemente der nächsten Generation, die 1 kV oder mehr überschreiten. Das bedeutet, dass das zu prüfende Bauelement gewechselt werden muss, z. B. durch Austausch der Tastköpfe, um alle gewünschten Bauelemente zu prüfen, was zusätzlichen Aufwand und zusätzliche Prüfzeit bedeutet.

Wafer-Hersteller müssen auch auf die Sicherheit des Bedienpersonals achten und sicherstellen, dass sie über die richtige Schutzausrüstung verfügen, um sich gegen gefährliche Spannungen und andere Problembereiche bei Hochspannungstests zu schützen. So muss beispielsweise komprimierte Trockenluft (CDA) mit einer Hochspannungsprüfkarte verwendet werden, um Lichtbögen/Entladungen an den Tastkopfspitzen zu unterdrücken. Aus Sicht des Facility Managements müssen Waferhersteller sicherstellen, dass die Sicherheitsvorschriften eingehalten werden und ein Testsystem den Anforderungen von SEMI S2 entspricht. Betrachtet man den Automobilbereich als Beispiel, so müsste das Testsystem die allgemeinen Anforderungen an die Kompetenz von Test- und Kalibrierungslaboratorien erfüllen, um die Anforderungen der International Automotive Task Force (ISO-17025) zu erfüllen.

Auf dem Markt gibt es keine umfassende Lösung, die den

steigenden Bedarf an parametrischen Tests für Hochspannungsbaulemente erfüllen kann. Die Hersteller von Leistungsbaulementen sehen sich daher mit den Herausforderungen der Testbeschränkung, der Testkosten, der Testzeit und der Sicherheits- und Regulierungsanforderungen konfrontiert.

Bahnbrechende Lösung für parametrische Hochspannungstests bis zu 3 kV

Um die Herausforderungen des parametrischen Hochspannungstests zu meistern, wird ein neuer Typ von parametrischen Testern mit einer Schaltmatrix (SWM) benötigt, die mehr als 1 kV aushält. Eine der wesentlichen Lösungen besteht darin, eine Schaltmatrix zu entwickeln, die sowohl hohe Spannungen als auch niedrige Ströme in einem Durchgang testen kann.

Keysight ist ein führendes Unternehmen im Bereich parametrischer Tester, und der parametrische Tester 4080 von Keysight ist bei vielen Kunden auf der ganzen Welt installiert. Keysight's Wafer Test Solutions (WTS) entwickelte eine Hochspannungs-Schaltmatrix (HV-SWM), um dieses Konzept auf verschiedene Weise umzusetzen.

Die Verwendung von neu designten Hochspannungsrelais ermöglicht das Schalten bei 3 kV und erfüllt gleichzeitig die Isolations- und Sicherheitsanforderungen, um die Sicherheitsanforderungen für elektrische Mess-, Steuer-, Regel- und Laborgeräte (IEC61010) zu erfüllen. Das neue Hochspannungsrelais bietet außerdem ein aktives Guarding, das durch die Verhinderung von Leckströmen Strommessungen im Sub-pA-Bereich ermöglicht.

Wie in Bild 1 dargestellt, sind die Schutzschaltungen für niedrige Leckströme eingebaut, um die Niederspannungs-Messabschnitte selbst bei einer Messumgebung von 3 kV vor Schäden durch Fehlanlüsse zu schützen. Mehrere einzigartige und bahnbrechende Technologien machen das System zur besten Wahl für parametrische Hochspannungstests ist.

Der neue Hochspannungs-Parametertester integriert das neue HV-SWM mit bis zu 30 Pins einschließlich eines Chuck-Terminals mit Hochspannungs-SMU (HVSMU) bis zu 3 kV und Niederspannungs-SMU

(LVSMU), die sich in der SiC/GaN-Forschung und -Entwicklung durch den De-facto-Standard-Leistungsbaulement-Analysator B1505A bewährt haben. Darüber hinaus können Kapazitätsmessungen bis zu 1 kV, gepulste Messungen und übliche Messungen mit anderen Messgeräten durchgeführt werden, die im parametrischen Niederspannungstester verwendet werden. Dieses System ist zudem so konzipiert, dass es die gesetzlichen Anforderungen wie Sicherheitsvorschriften, SEMI S2-Konformität und ISO17025-Zertifizierung erfüllt. Dieses System kann mit einem Wafer Prober und einer Tastkopfkarte integriert werden, um Hochspannungstests als Gesamtsystem durchzuführen.

Diese umfassenden Messfunktionen ermöglichen es den Herstellern, verschiedene Messungen an unterschiedlichen Bauelementen genauer und flexibler durchzuführen.

Bei der Messung in Bild 2 wird die Spannung vom Niederspannungsbereich (0 V) bis zum Hochspannungsbereich (3 kV) nahtlos durchlaufen. Die Messung erfasst die I_{dss} -Charakteristik (V_{ds} - I_d) vom pA-Bereich mit niedrigem Strom und schnellem Stromanstieg durch Durchbruch um 2900V.

Wie in Bild 3 dargestellt, können die Eigenschaften von Bauelementen im Niederspannungsbereich ebenso genau gemessen werden wie mit einem herkömmlichen parametrischen Niederspannungstester bis zu 1 A. Seit Anfang 2024 wird der neue parametrische Hochspannungstester von mehreren führenden Leistungshalbleiterherstellern gemeinsam evaluiert.

Quelle

[1] www.yolegroup.com/strategy-insights/silicon-carbide-sic-what-did-you-expect/

Kazuhiro Ueda ist Produktplaner für Wafer-Testlösungen bei Keysight Technologies Japan. Er besitzt umfangreiche Erfahrungen in der Forschung und Entwicklung sowie im Marketing von Halbleiterprodukten und industriellen Lösungen. Er hat einen B.S.- und M.S.-Abschluss in Informationstechnik von der Hiroshima City University und einen MBA von der Waseda University, Japan. ◀